

Patent



Customer No. 31561  
Application No.: 10/710,020  
Docket No. 10547-US-PA

IFW

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Huang et al.  
Application No. : 10/710,020  
Filed : Jun 14, 2004  
For : PROCESS FOR FABRICATING BUMPS  
Examiner :  
Art Unit : 2812

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92119937, filed on: 2003/7/22.

A return prepaid postcard is also included herewith.

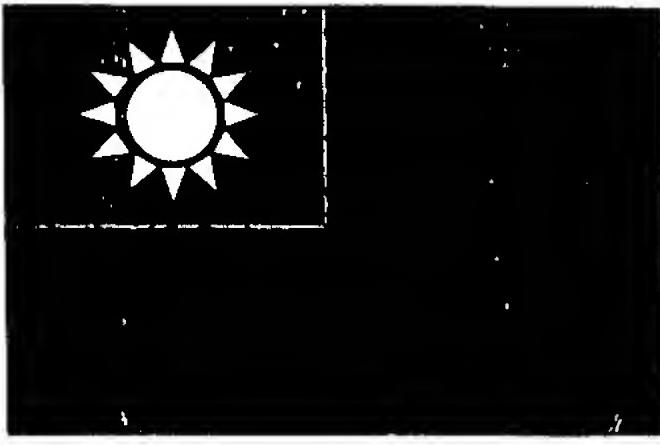
Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 11, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234  
E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 07 月 22 日  
Application Date

申請案號：092119937  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2004 年 8 月  
Issue Date

發文字號：09320781080  
Serial No.

申請日期：	IPC分類
申請案號：92119931	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	凸塊製程
	英文	Bumping process
二、 發明人 (共4人)	姓名 (中文)	1. 黃敏龍
	姓名 (英文)	1. Min-Lung Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英 文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
代表人 (英文)	1. Chien-Sheng Chang	



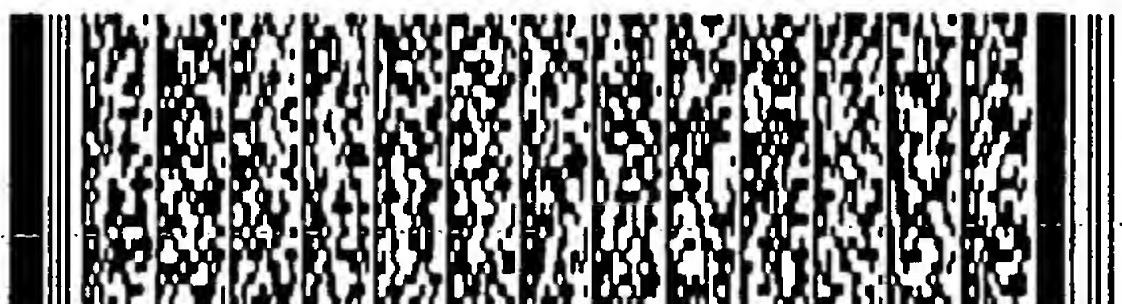
10547twf.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	2. 蔡騏隆 3. 翁肇甫
	姓名 (英文)	2. Chi-Long Tsai 3. Chao-Fu Weng
	國籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	2. 台東縣鹿野鄉永安村6鄰442號 3. 台南市新建路19巷19號之3
住居所 (英 文)	2. No. 442, Yong-an Village, Luye Township, Taitung County, 955 Taiwan (R.O.C.) 3. No. 19-3, Lane 19, Hsinchien Rd., Tainan, Taiwan, R.O.C.	
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 蘇清輝
	姓 名 (英文)	4. Ching-Huei Su
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 高雄市鹽埕區大仁路252號1樓
	住居所 (英 文)	4. 1F, No. 252, Ta-jen Rd., Yen-cheng Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：凸塊製程)

一種凸塊製程，主要係先提供一基材，此基材上具有多個寬度不同的開口，其將基材浸入一電鍍液中，並藉由提供一由低至高的階梯電流進行電鍍，以在基材上之開口中電鍍多個厚度均勻之凸塊。

伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：Bumping process)

A bumping process is described. The bumping process includes the following steps. Providing a substrate that has a plurality of openings. The widths of the openings are different. Dipping the substrate in the plating solution. Providing a step current to plate a plurality of bumps inside the openings of the substrate for improving bumps height uniformity.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

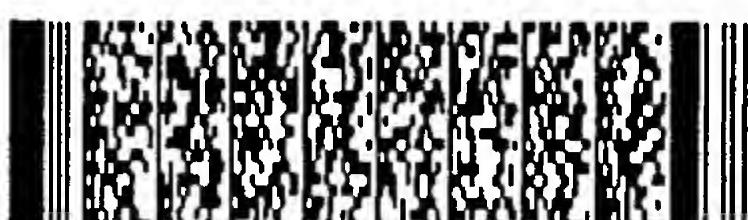
寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

本發明是有關於一種凸塊製程，且特別是有關於一種在電鍍過程中可使基材上之多個凸塊的厚度均勻化的凸塊製程。

### 先前技術

在高度情報化社會的今日，多媒體應用的市場不斷地急速擴張著。積體電路封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為達成上述的要求，必須強化電子元件的高速處理化、多機能化、積集化、小型輕量化及低價化等多方面的要求，於是積體電路封裝技術也跟著朝向微型化、高密度化發展。其中球格陣列式構裝 (Ball Grid Array, BGA)，晶片尺寸構裝 (Chip-Scale Package, CSP)，覆晶構裝 (Flip Chip, F/C)，多晶片模組 (Multi-Chip Module, MCM) 等高密度積體電路封裝技術也應運而生。而所謂積體電路封裝密度所指的是單位面積所含有腳位 (pin) 數目多寡的程度。對於高密度積體電路封裝而言，縮短配線的長度有助訊號傳遞速度的提升，是以凸塊的應用已漸成為高密度封裝的主流。

請參照第1圖，第1圖是習知凸塊製程的示意圖。首先提供一基材100，例如是一晶圓 (wafer)，此基材100上配置有多個焊墊 (pad) 102 以及一用以保護晶圓的保護層 (passivation) 104。接著於基材100上形成一球底金屬層 (Under Bump Metallurgy, UBM) 106，以作為後續所



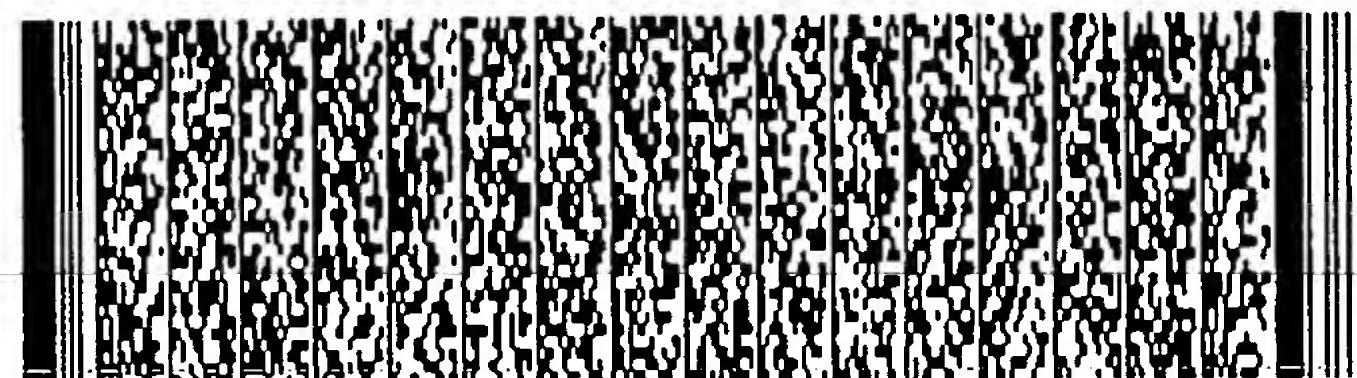
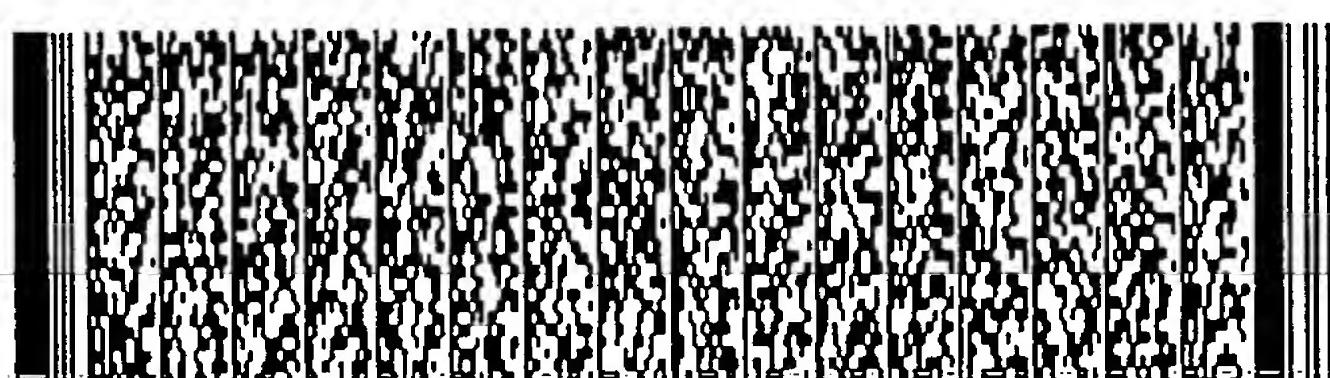
## 五、發明說明 (2)

形成之凸塊 (bump) 112 與焊墊 102 之接合介面。在形成球底金屬層 106 之後，形成光阻 (photoresist) 108 於基材 100 上，此光阻 108 具有多個開口 110，且暴露出上述焊墊 102，而這些開口 110 係用來決定凸塊 112 形成的位置。

目前，將多個晶片以面對面 (face-to-face) 的方式接合，以提昇封裝密度的概念已經相繼被提出，因此在同一晶片或是承載器 (carrier) 上必須製作出不同間距 (pitch) 以及不同高度的凸塊。為了使迴鋸 (reflow) 後能夠獲得大小及高度不同的凸塊 112，通常會將光阻 108 上之開口 110 依所需設計為不同寬度，並藉由開口 110 的高度與寬度推算出開口 110 中焊料 (solder material) 的體積。接著將基材 100 浸入一電鍍液中，並提供一直流電流 (DC) 進行電鍍，以於開口 110 中形成不同體積的凸塊 112。

值得注意的是，習知在製作凸塊時係提供單一直流電流 (DC) 進行電鍍，當光阻之開口寬度過小且深度過深時，即深寬比 (aspect ratio) 大於 1.2 時，電鍍液的質傳效果 (mass transfer) 不佳，使得電鍍液中之金屬離子不易擴散進入開口中。換句話說，習知光阻上所形成各個寬度不同之開口，若以單一直流電流 (DC) 進行電鍍，其電鍍的速率並無法達到一致，故造成各個開口中所形成之凸塊厚度無法達到均勻化。

此外，當光阻中開口的深寬比 (aspect ratio) 大於 1.2 時，光阻表面與開口側壁間的轉角處會逐漸附著一些



## 五、發明說明 (3)

導體材，使得開口內部還未被填滿前開口已被遮蔽，如此將造成凸塊內部產生孔洞，進而影響迴鋸後凸塊的高度。

### 發明內容

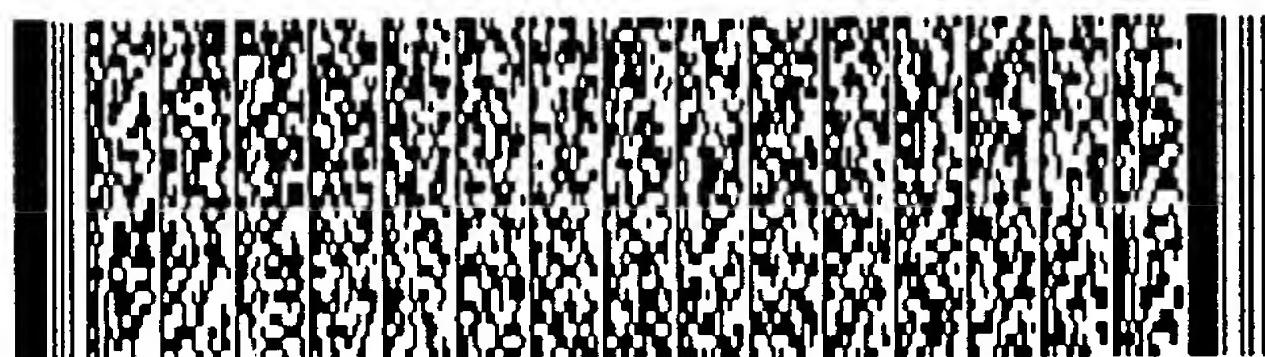
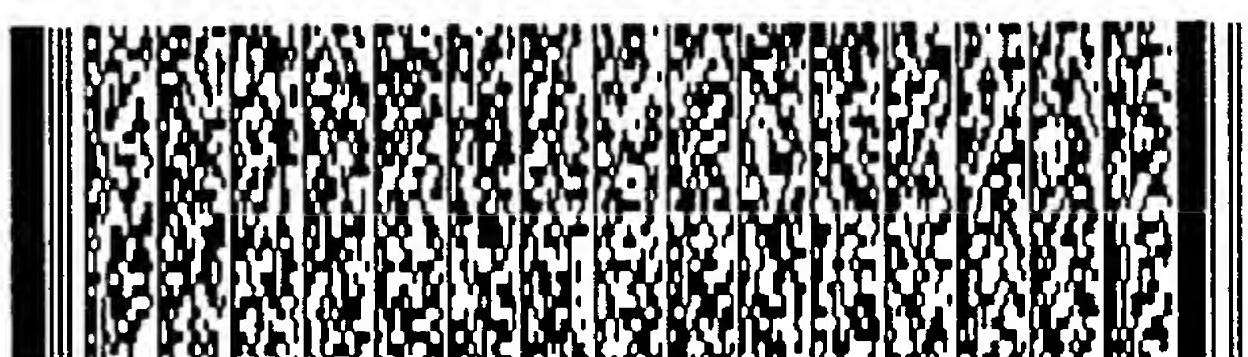
因此，本發明的目的在就是在提供一種凸塊製程，藉由提供一由低至高之階梯電流 (step current) 進行電鍍，以使基材上所電鍍之凸塊的厚度可達到均勻化。

為達上述目的，本發明提出一種凸塊製程，首先提供一基材，此基材具有多個焊墊以及一保護層，其中保護層係配置於基材的表面上，並將這些焊墊暴露；接者於基材上形成一光阻層，此光阻層具有多個寬度不等的開口，且這些開口的位置係對應於這些焊墊；然後將基材浸入一電鍍液中；最後提供一由低至高的階梯電流進行電鍍，以使基材上所電鍍之凸塊的厚度達到均勻化。

在本發明的較佳實施例中，上述所提及之階梯電流 (step current) 係介於  $I_{min}$  及  $I_{max}$  之間。其中， $I_{min}$  為進行電鍍所需之最小電流值， $I_{max}$  為進行電鍍所能承受之最大電流值。

在本發明的較佳實施例中，上述所提及之階梯電流 (step current) 例如是由多個線性電流所組成。此外，在提供這些線性電流進行電鍍之期間，更包括暫時中斷電流的供應，以暫時停止電鍍作業，進而使電鍍液中之金屬離子有足夠的時間再擴散入開口中。

另外，上述所提及之階梯電流 (step current) 例如是由多個脈衝電流 (pulse current) 所組成。脈衝電流



## 五、發明說明 (4)

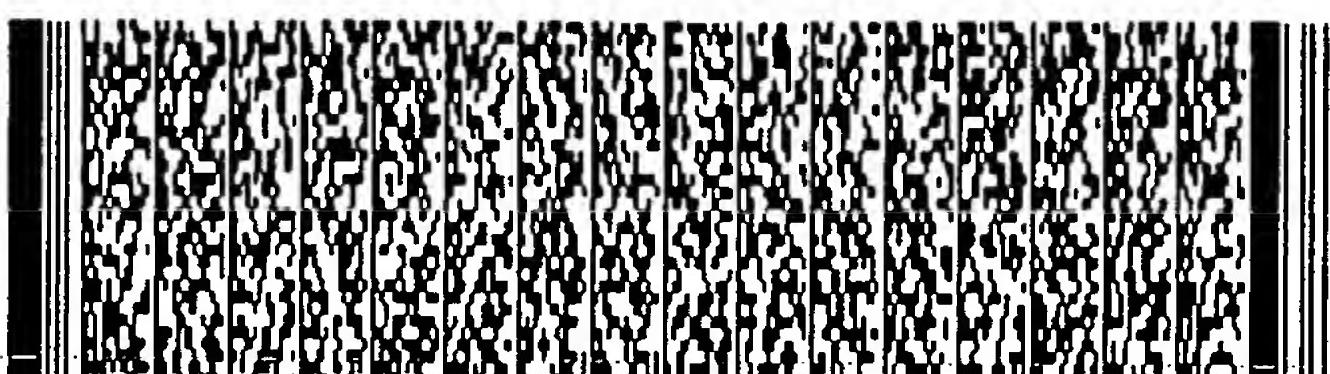
包括一波峰電流 (peak current) 及一波谷電流 (trough current)，其中波峰電流係介於  $I_{min}$  及  $I_{max}$  之間，而波谷電流例如為小於  $I_{min}$  之正電流、0 或負電流。當然，上述所提及之階梯電流 (step current) 亦可例如由至少一脈衝電流及複數個線性電流所組成。

本發明藉由提供一由低至高的階梯電流進行電鍍作業，使電解液中之金屬離子能具有足夠擴散時間進入基材上之開口中，以在基材上之開口中電鍍多個厚度均勻之凸塊。此外，階梯電流係可為多個脈衝電流的型態，且當脈衝電流之波谷電流為負電流時，更可進一步電解光阻表面與開口側壁間之轉角處的導體材，以避免導體材在還未填滿光阻之開口前即遮蔽光阻開口，而造成凸塊內部產生孔洞，進而影響迴鋸後凸塊的高度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 實施方式

第2圖本發明一較佳實施例之凸塊製程的流程圖。請參閱第2圖，本發明之凸塊製程主要包括下列的步驟：首先，提供一基材 (S1)，例如是一晶圓，此基材具有多個焊墊以及一保護層，其中保護層係配置於基材的表面上，並將這些焊墊暴露；接著，於基材上形成一具有多個寬度不等之開口的光阻層 (S2)，且這些開口的位置係對應於上述之焊墊；然後，將基材浸入一電鍍液中 (S3)；最



## 五、發明說明 (5)

後，提供一由低至高的階梯電流 (step current) 進行電鍍 (S4)。由於在電鍍過程前段提供較低之電流進行電鍍，使電鍍液中之金屬粒子有足夠的擴散時間，進入寬度較窄的光阻開口中，並附著於鋅墊上。然而，當各個光阻開口的寬深比縮小時，即可逐漸提高電流以加快電鍍的速度。故從上述可得知，藉由控制通入一由低至高的階梯電流，以在基材上之開口中電鍍多個厚度均勻之凸塊。

第3A～3B圖其繪示為本發明一較佳實施例之電流與時間的關係圖。首先，請參閱第3A圖，上述所提及之由低至高的階梯電流 (step current) 例如是由多個線性電流 (本圖繪示三個線性電流I<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>表示) 所組成。該些線性電流 (I<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>) 係介於I<sub>min</sub>及I<sub>max</sub>之間。其中，I<sub>min</sub>為進行電鍍所需之最小電流值，I<sub>max</sub>為進行電鍍所能承受之最大電流值。

接著，請參閱第3B圖，在提供上述這些線性電流 (I<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>) 進行電鍍之期間，更可暫時中斷電流的供應，以暫時停止電鍍作業，進而使電鍍液中之金屬離子有足夠的時間再擴散入開口中，如此當繼續進行電鍍時，各光阻開口的電鍍速率可達到一致，將使得基材上之多個凸塊的厚度能達到均勻。值得注意的是，本圖在電鍍之期間，中斷電流的供應的次數僅繪示一次舉例說明，當然，熟悉該項技藝者應可推知，在提供上述這些線性電流進行電鍍之期間，並不需侷限中斷電流供應的數次。

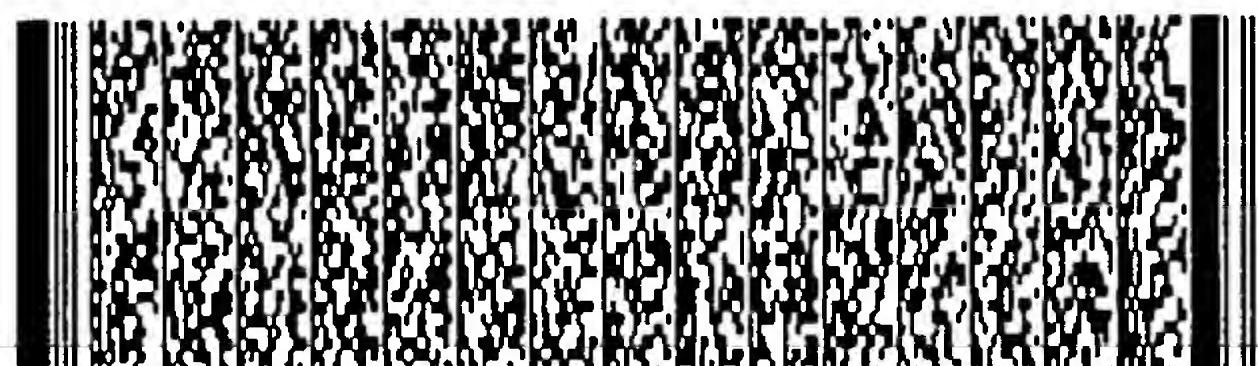
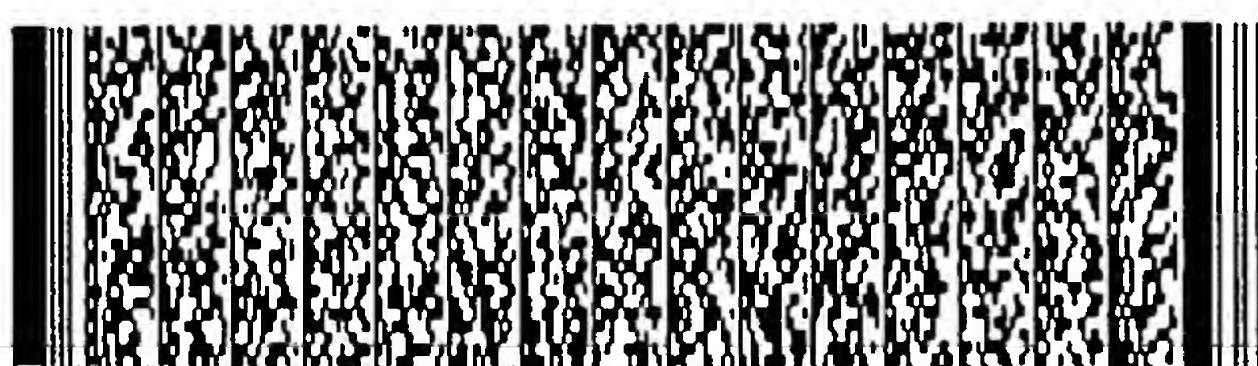
第4A～4C圖其繪示為本發明另一較佳實施例之電流與



## 五、發明說明 (6)

時間的關係圖。首先，請參閱第4A～4C圖，上述所提及之由低至高的階梯電流 (step current) 例如是由多個脈衝電流 (pulse current) 所組成。以本實施例而言，此階梯電流各階層係由三個波形相同的脈衝電流 (P1、P2、P3) 所構成，該些脈衝電流 (P1、P2、P3) 皆是由一波峰電流 (peak current) 及一波谷電流 (trough current) 所構成，其中波峰電流係介於 $I_{min}$ 及 $I_{max}$ 之間，而波谷電流例如為小於 $I_{min}$ 之正電流 (見第4A圖)、0 (見第4B圖) 或負電流 (見第4C圖)。若該些脈衝電流 (P1、P2、P3) 之波谷電流例如為小於 $I_{min}$ 之正電流 (見第4A圖) 或0 (見第4B圖)，即表示此種脈衝電流為一開/停 (on/off) 式脈衝電流，換言之，即表示在提供該些脈衝電流之期間，於一段時間內係暫時停止電鍍的作業，進而使電鍍液中之金屬離子有足夠的時間再擴散入開口中，而若該些脈衝電流 (P1、P2、P3) 之波谷電流例如為小於 $I_{min}$ 之負電流，即表示即表示此種脈衝電流為一週期性逆充 (periodical reverse) 電流，換言之，即表示在提供該些脈衝電流之期間，於一段時間內不進行電鍍，反之進行一電解反應，以電解光阻表面與開口側壁間的轉角處附著的導體材，如此一來，可避免導體材在還未填滿光阻之開口前即遮蔽光阻開口，而造成凸塊內部產生孔洞，進而影響迴鋸後凸塊的高度。

當然，上述所提及之階梯電流 (step current) 亦可例如由至少一脈衝電流及複數個線性電流所組成 (圖未示



## 五、發明說明 (7)

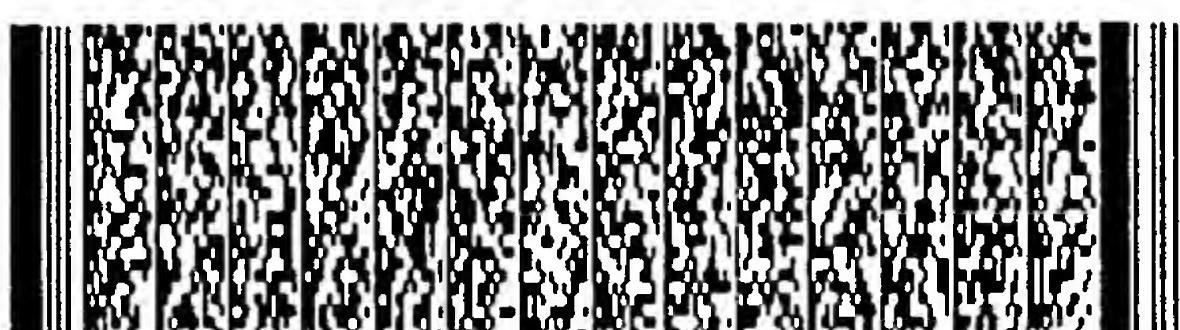
出），而電流控制的方式皆與上述相同在此及不再贅述。

綜上所述，本發明之凸塊製程至少包括下列優點：

1. 本發明之凸塊製程，以控制通入一由低至高的階梯式電流，使電鍍液中之金屬離子具有足夠的擴散時間進入寬度較小的開口中，以使寬度不同之光阻開口，其電鍍的速度可達到一致，進而使凸塊的厚度達到均勻化。

2. 本發明之凸塊製程，於電鍍過程中，利用週期性逆衝電流以電解光阻表面與開口側壁間的轉角處附著的導體材，以避免導體材在還未填滿光阻之開口前即遮蔽光阻開口，而造成凸塊內部產生孔洞，進而影響迴鋸後凸塊的高度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知凸塊製程的示意圖；

第2圖本發明一較佳實施例之凸塊製程的流程圖；

第3A~3B圖是本發明一較佳實施例電流與時間的關係圖；以及

第4A~4C圖其繪示為本發明另一較佳實施例之電流與時間的關係圖。

【圖式標示說明】

100：基材

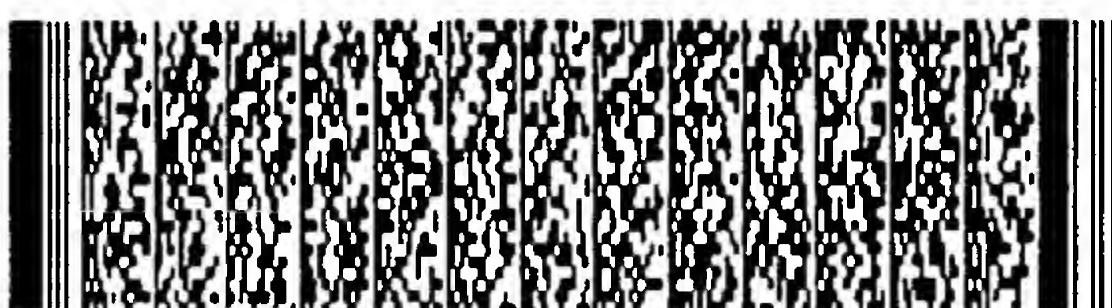
102：焊墊

104：保護層

106：球底金屬層

108：光阻

110：開口



## 六、申請專利範圍

1. 一種凸塊製程，包括下列步驟：

提供一晶圓，該晶圓具有複數個焊墊以及一保護層，其中該保護層係配置於該晶圓的表面上，並將該些焊墊暴露；

於該晶圓上形成一光阻層，該光阻層具有複數個寬度不等的開口，且該些開口的位置係對應於該些焊墊；

將該晶圓浸入一電鍍液中；以及

提供一由低至高的階梯電流進行電鍍。

2. 如申請專利範圍第1項所述之凸塊製程，其中該由低至高的階梯電流係介於 $I_{min}$ 及 $I_{max}$ 之間，且 $I_{min}$ 為進行電鍍所需之最小電流值， $I_{max}$ 為進行電鍍所能承受之最大電流值。

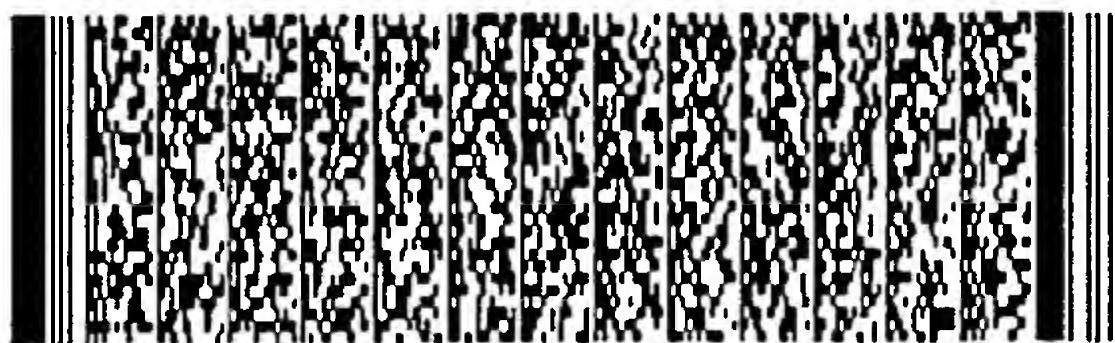
3. 如申請專利範圍第1項所述之凸塊製程，其中階梯電流係由複數個線性電流所組成。

4. 如申請專利範圍第3項所述之凸塊製程，其中在線性電流進行電鍍之期間，更包括暫時中斷電流的供應，以暫時停止電鍍。

5. 如申請專利範圍第1項所述之凸塊製程，其中該階梯電流係由複數個脈衝電流所組成，且每一該些脈衝電流包括一波峰電流及一波谷電流。

6. 如申請專利範圍第5項所述之凸塊製程，其中該波峰電流係介於 $I_{min}$ 及 $I_{max}$ 之間。

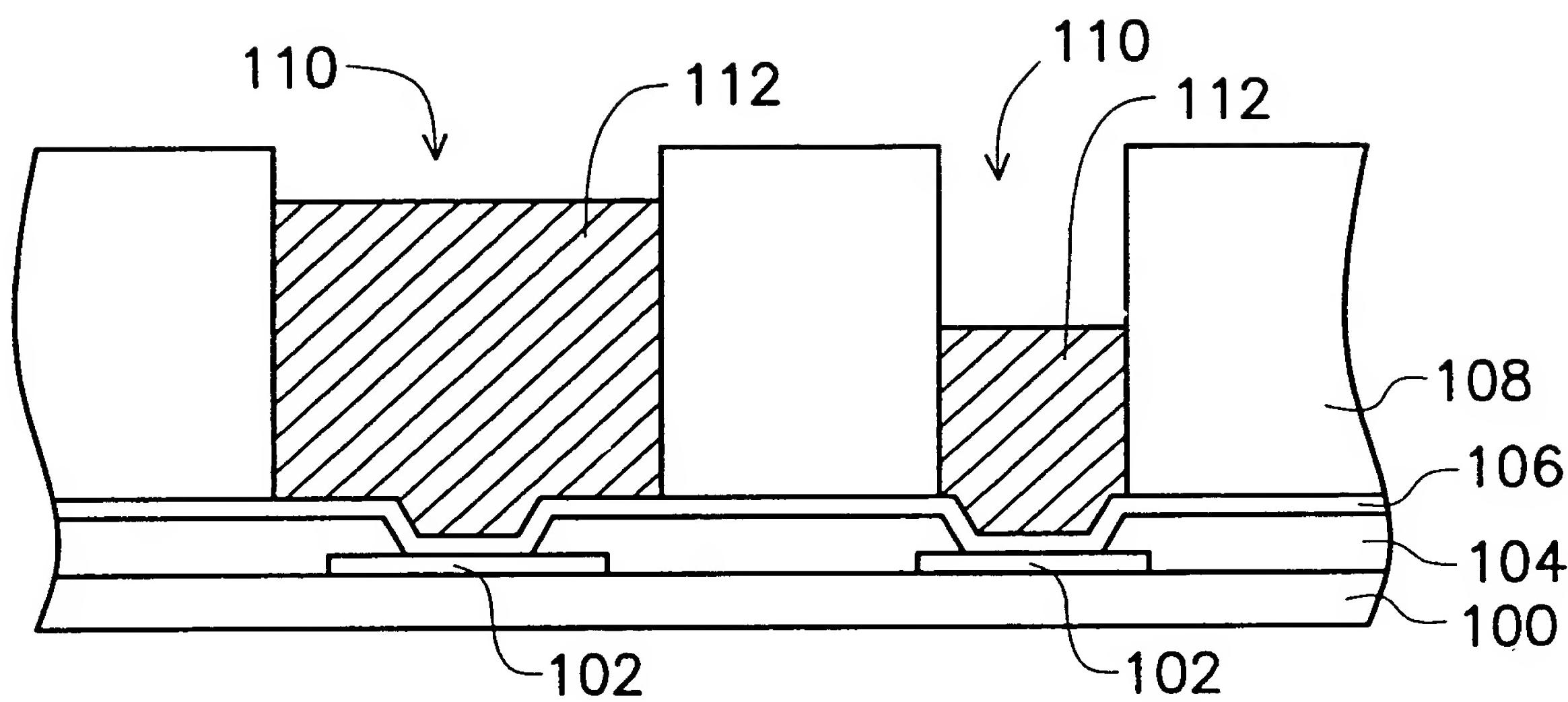
7. 如申請專利範圍第5項所述之凸塊製程，其中該波谷電流為小於 $I_{min}$ 之正電流、0以及負電流其中之一。



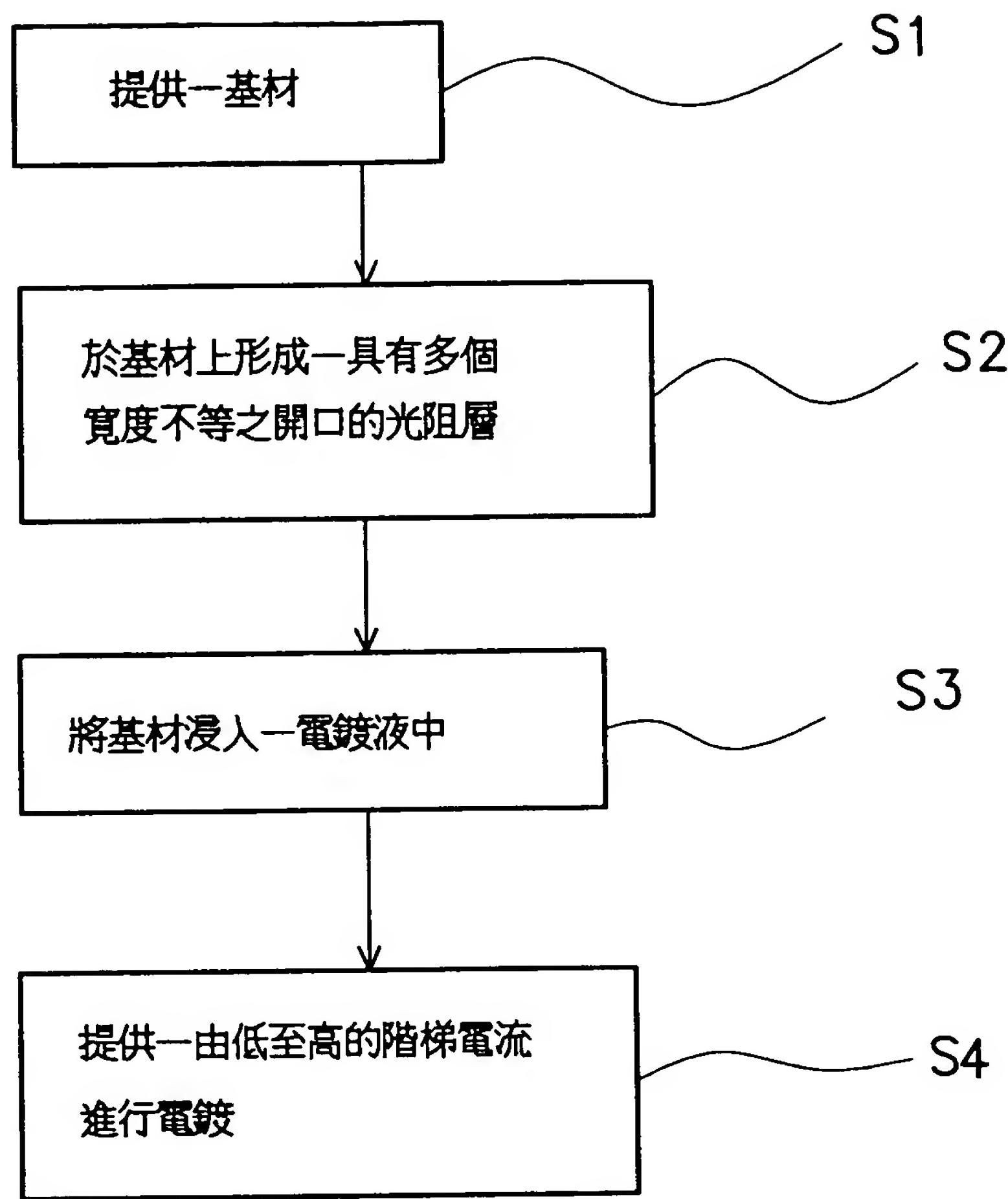
## 六、申請專利範圍

8. 如申請專利範圍第1項所述之凸塊製程，其中該階梯電流係由至少一脈衝電流及複數個線性電流所組成，且該脈衝電流包括一波峰電流及一波谷電流。
9. 如申請專利範圍第8項所述之凸塊製程，其中該波峰電流係介於 $I_{min}$ 及 $I_{max}$ 之間。
10. 如申請專利範圍第8項所述之凸塊製程，其中波谷電流為小於 $I_{min}$ 之正電流、0以及負電流其中之一。

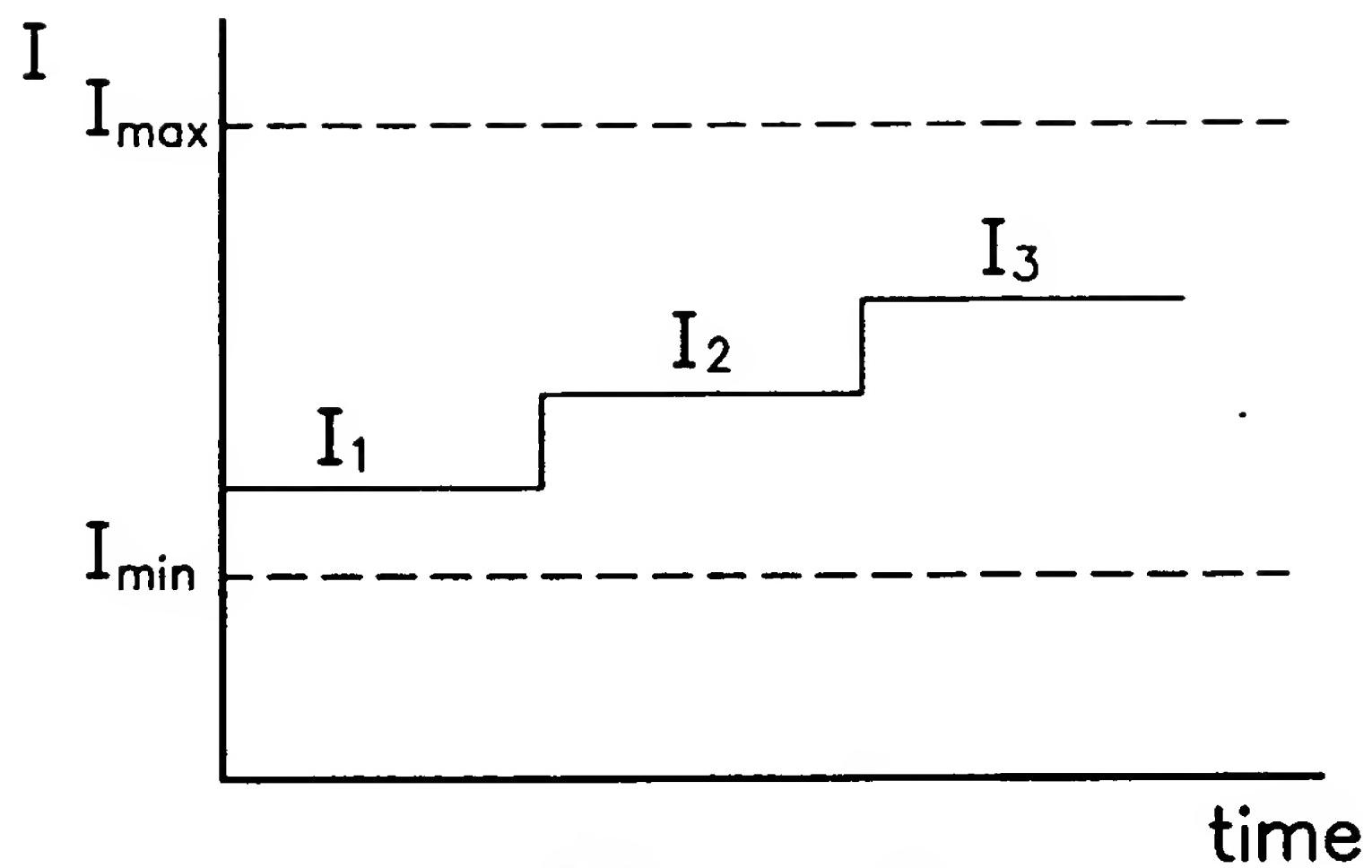




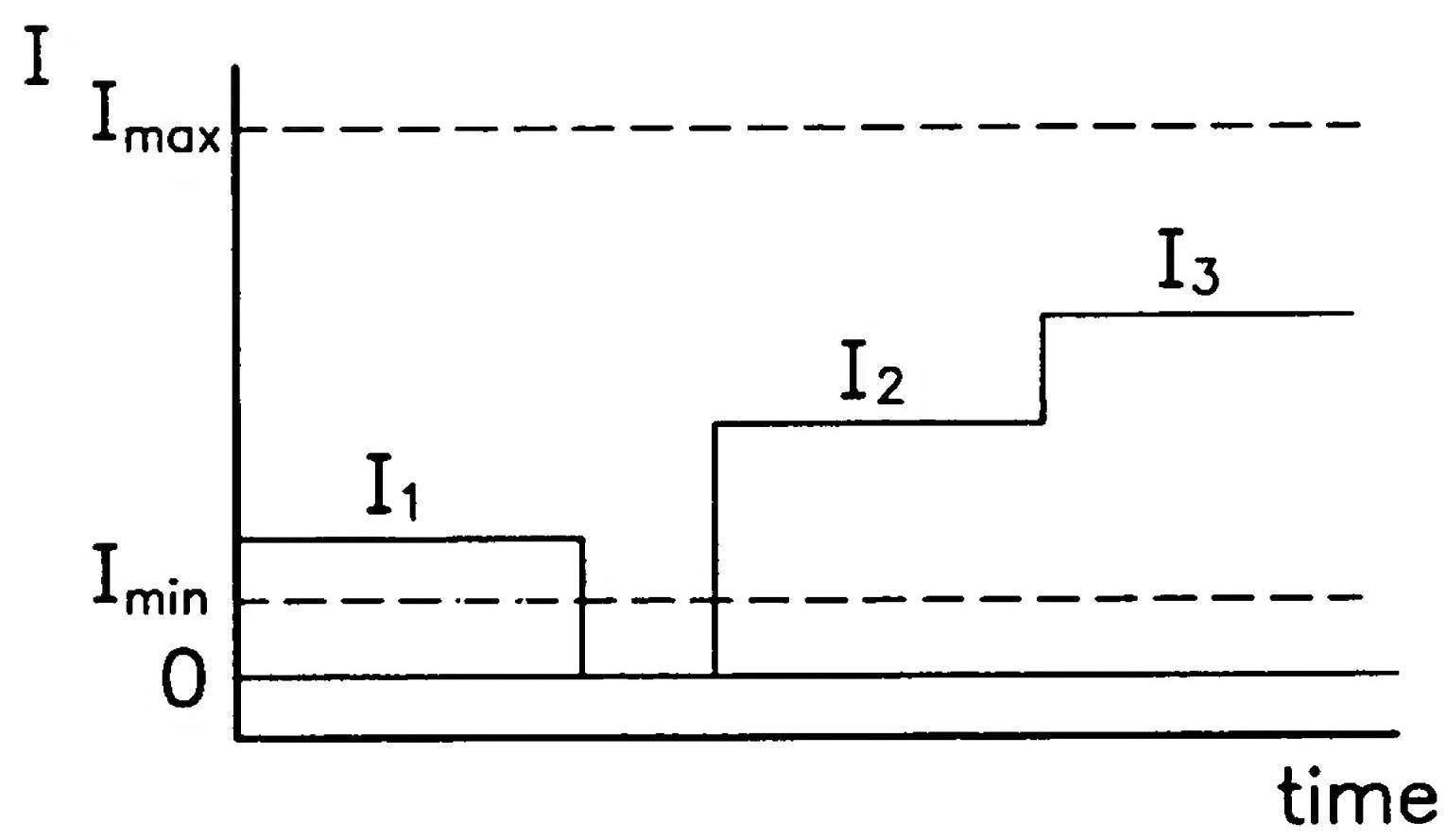
第 1 圖



第 2 圖

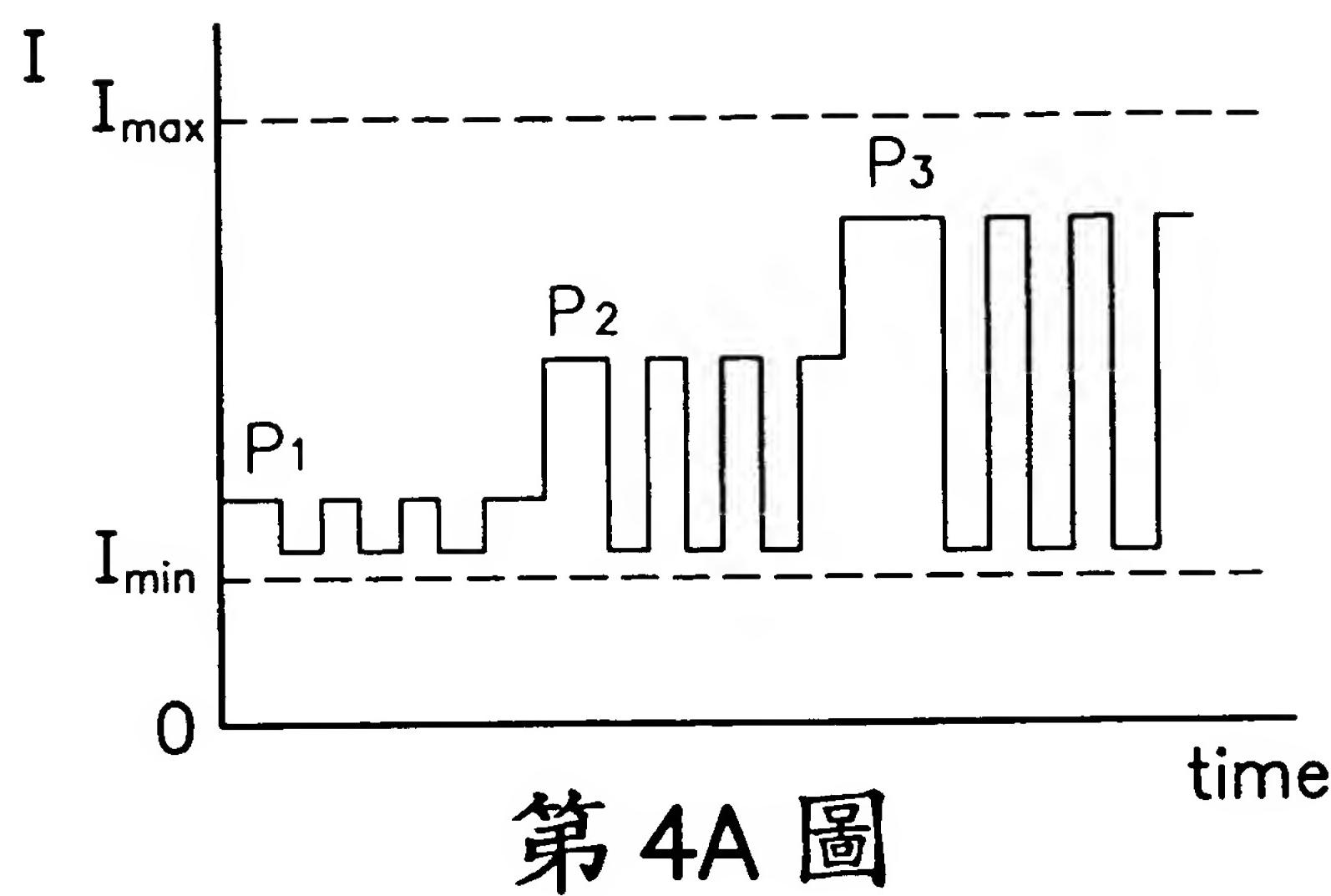


第3A圖

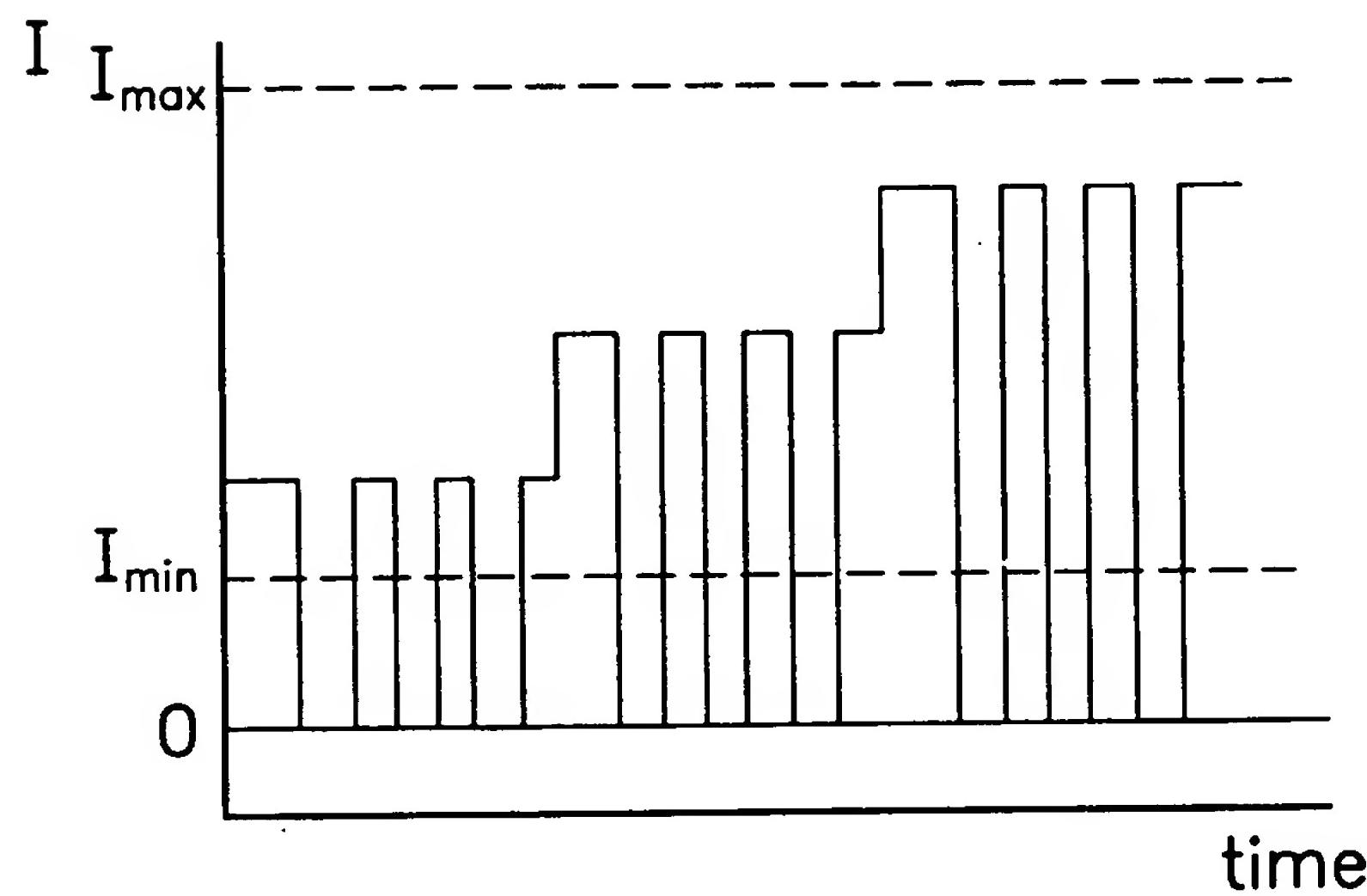


第3B圖

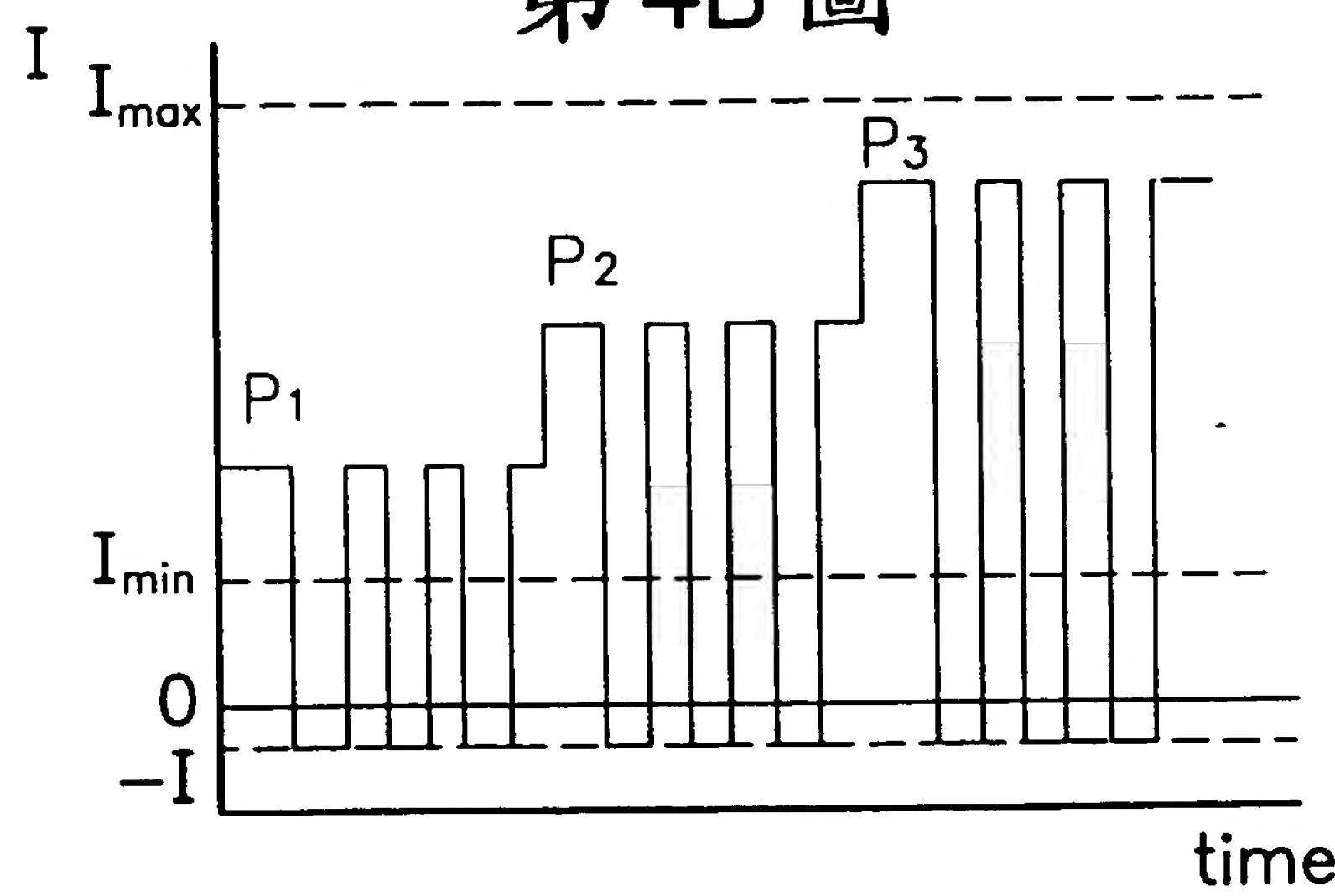
10547TW



第 4A 圖

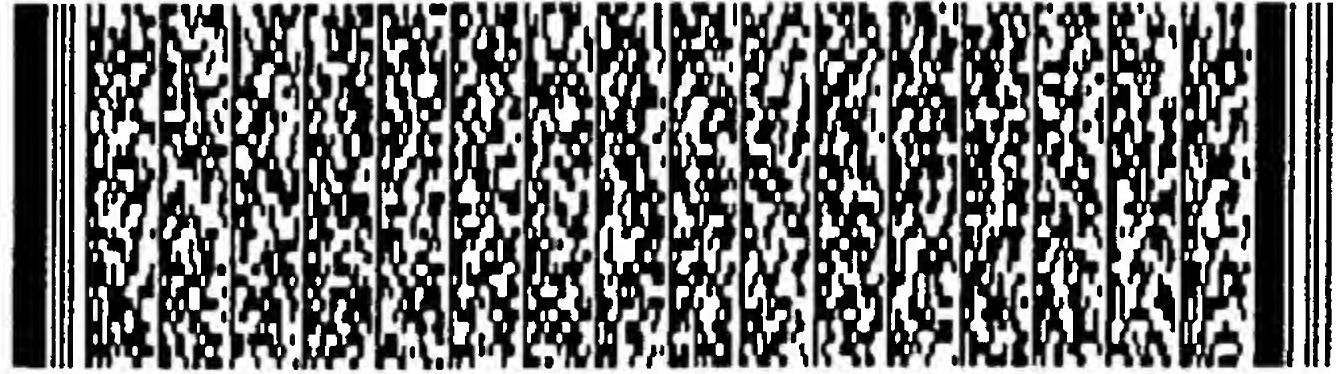


第 4B 圖

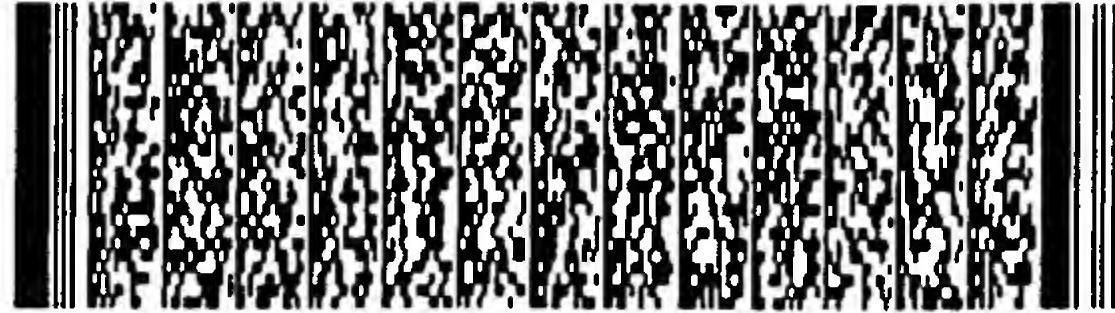


第 4C 圖

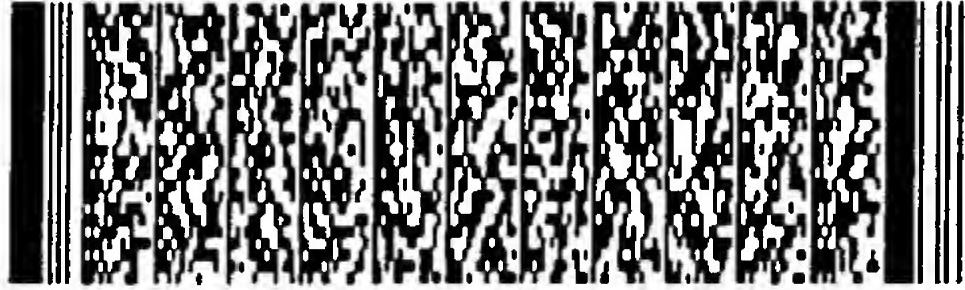
第 1/15 頁



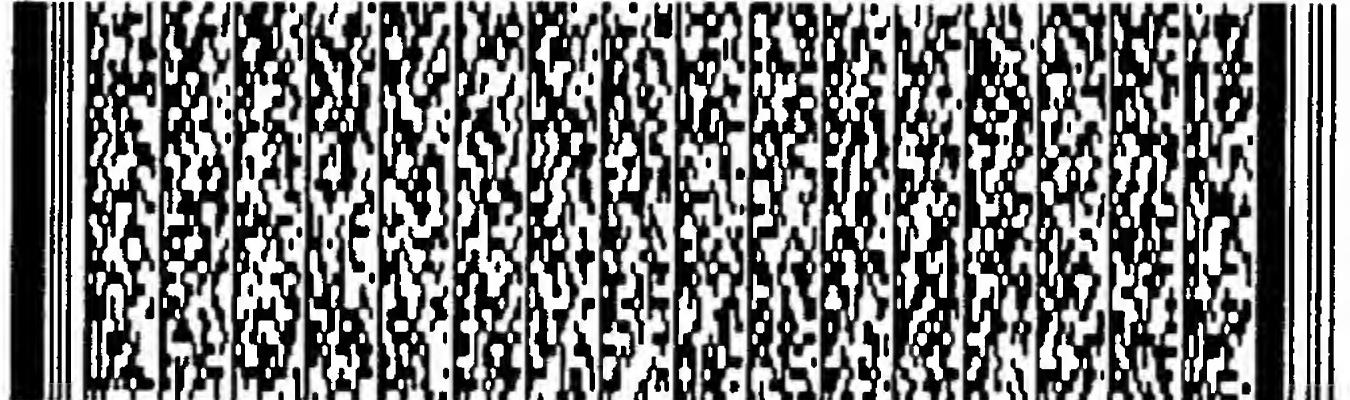
第 2/15 頁



第 3/15 頁



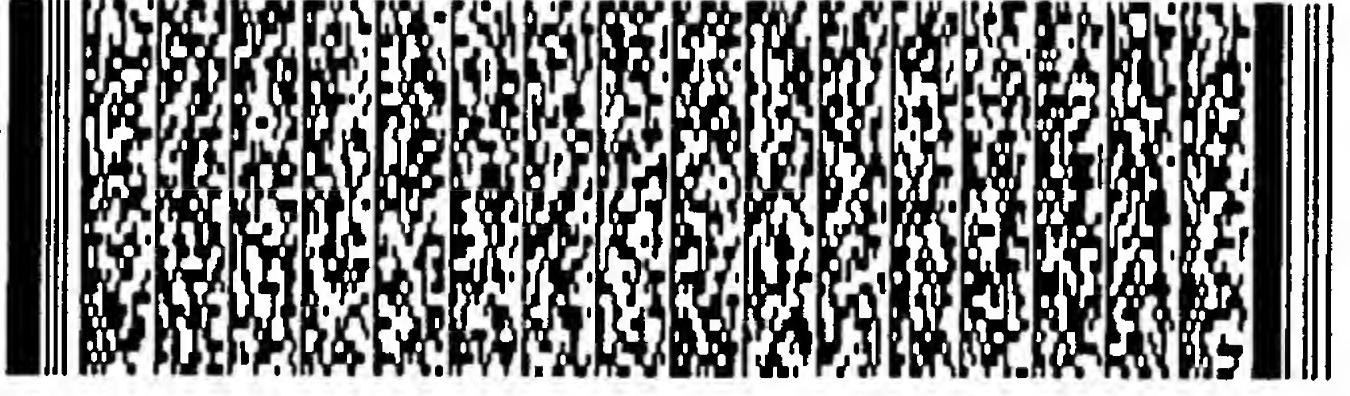
第 4/15 頁



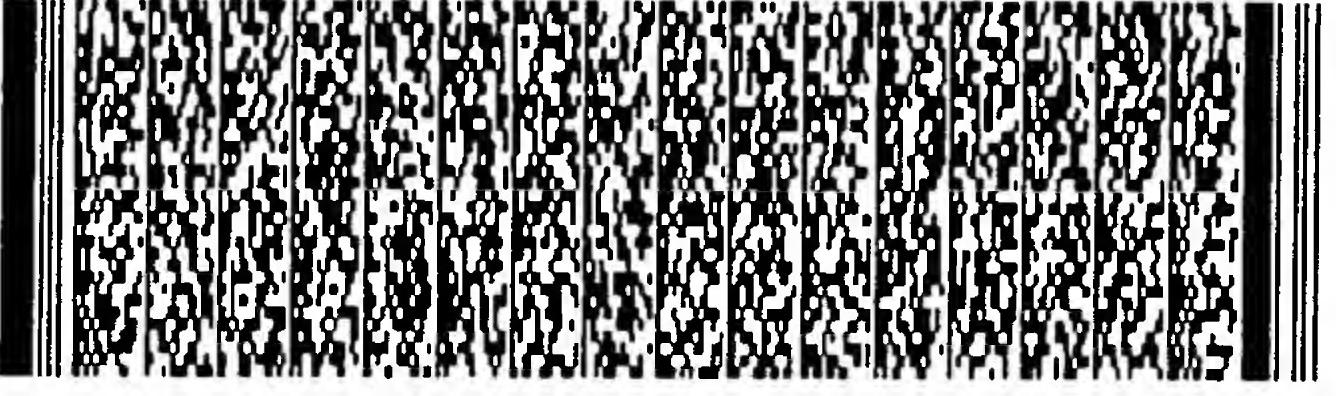
第 5/15 頁



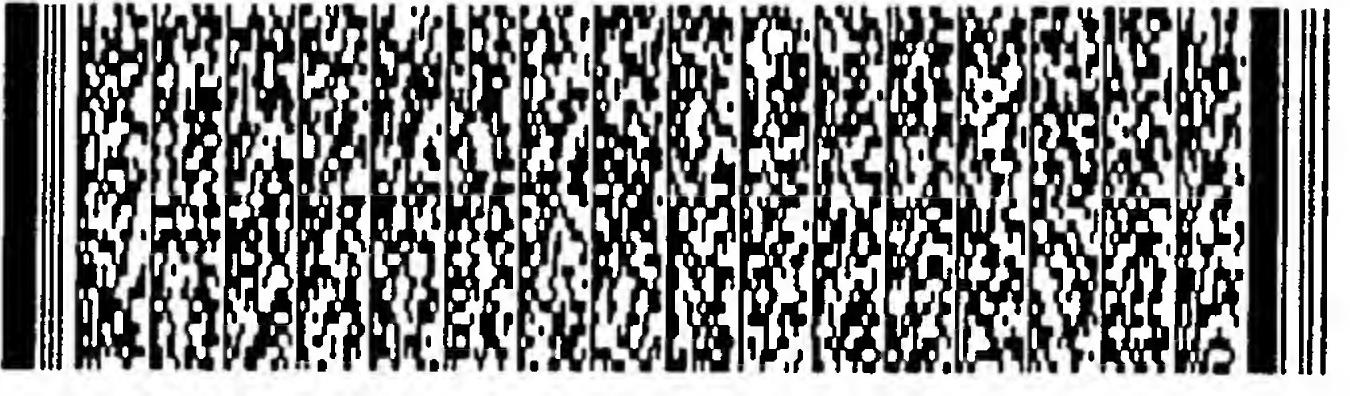
第 6/15 頁



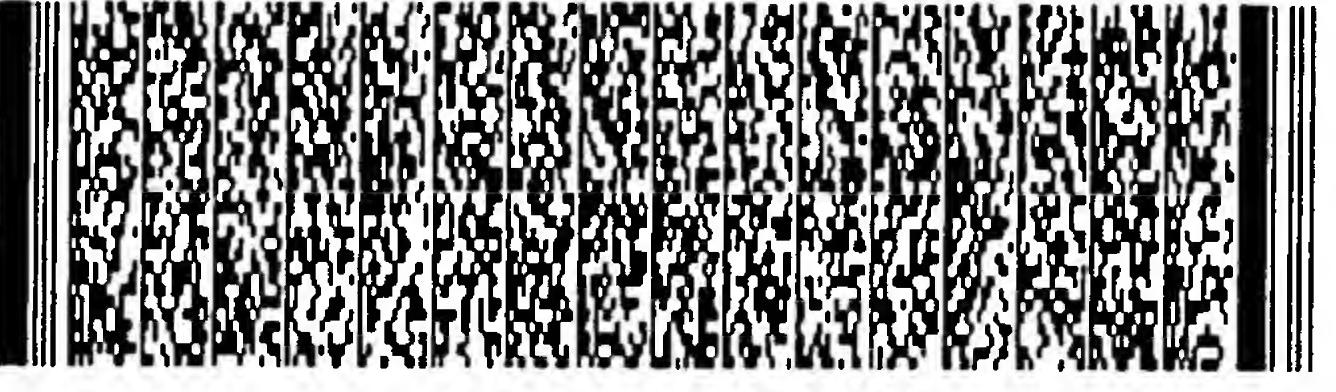
第 6/15 頁



第 7/15 頁



第 7/15 頁



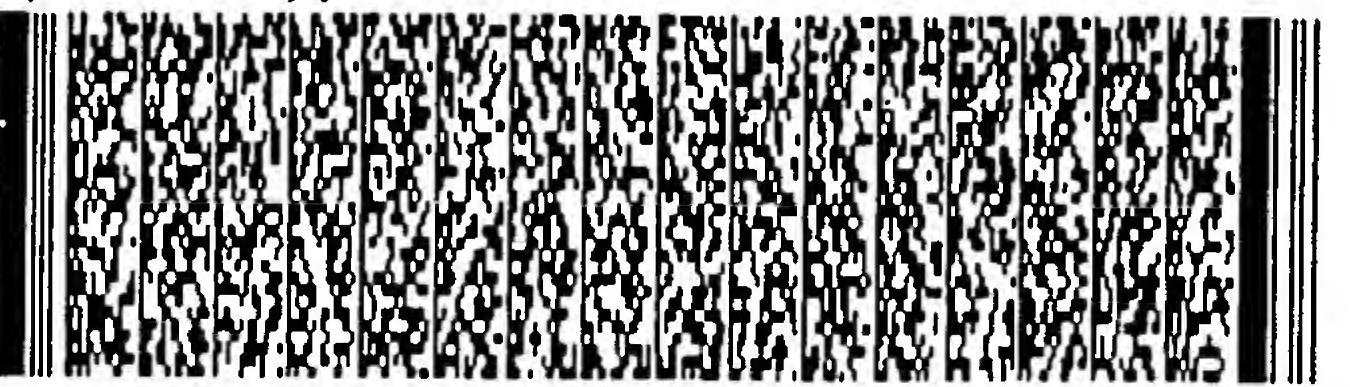
第 8/15 頁



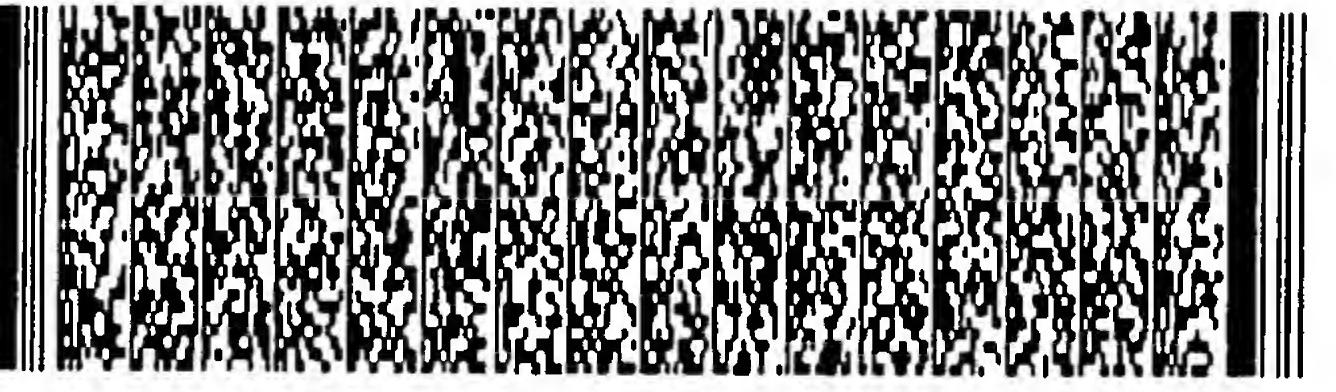
第 8/15 頁



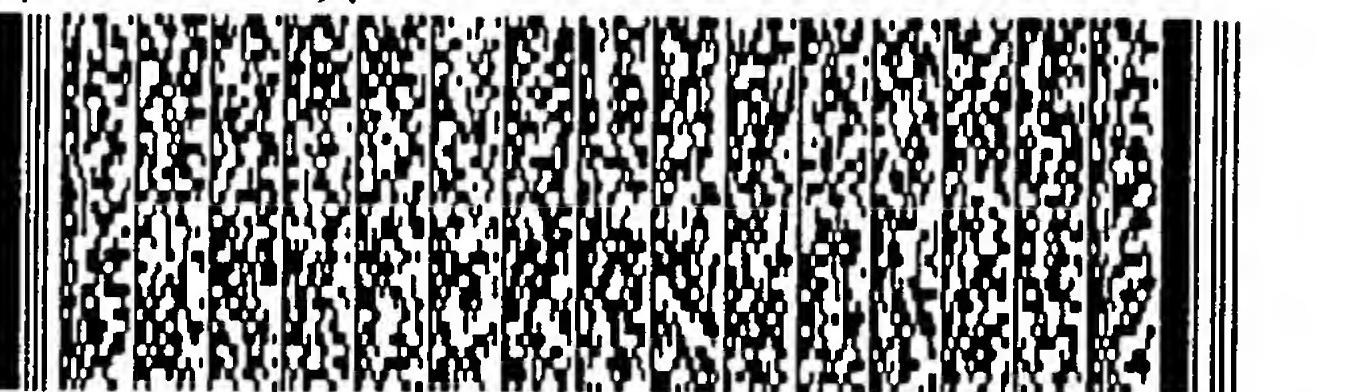
第 9/15 頁



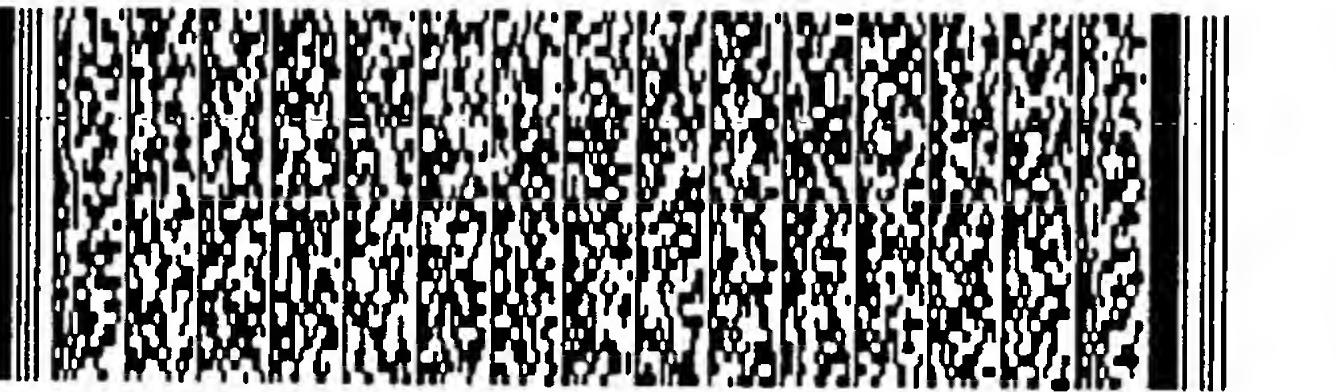
第 9/15 頁



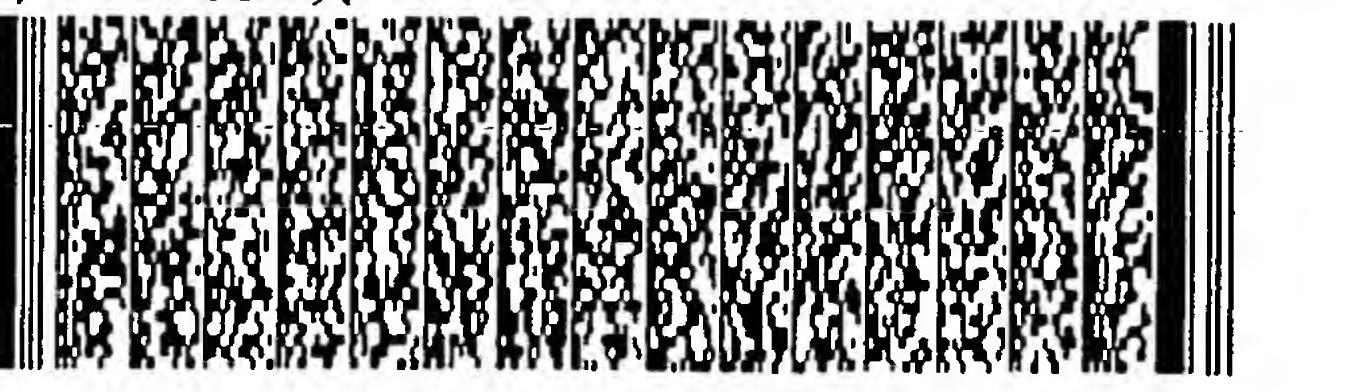
第 10/15 頁



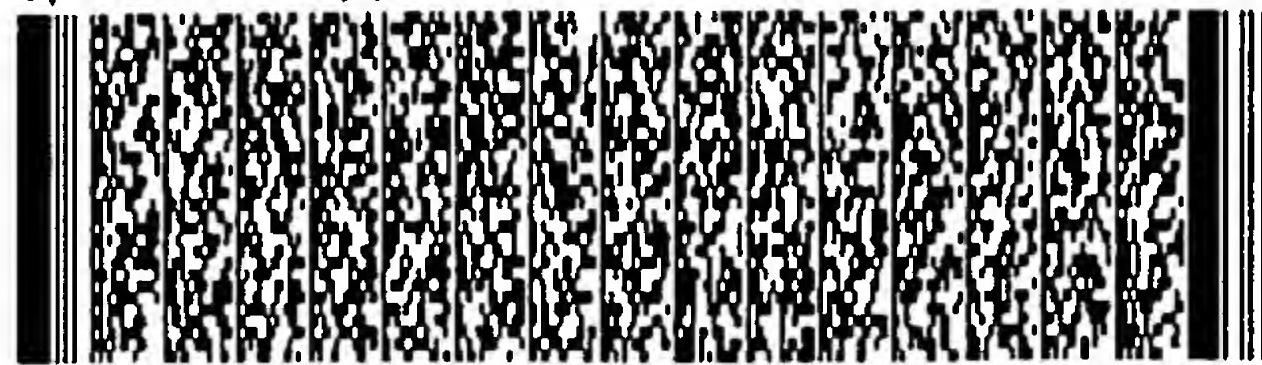
第 10/15 頁



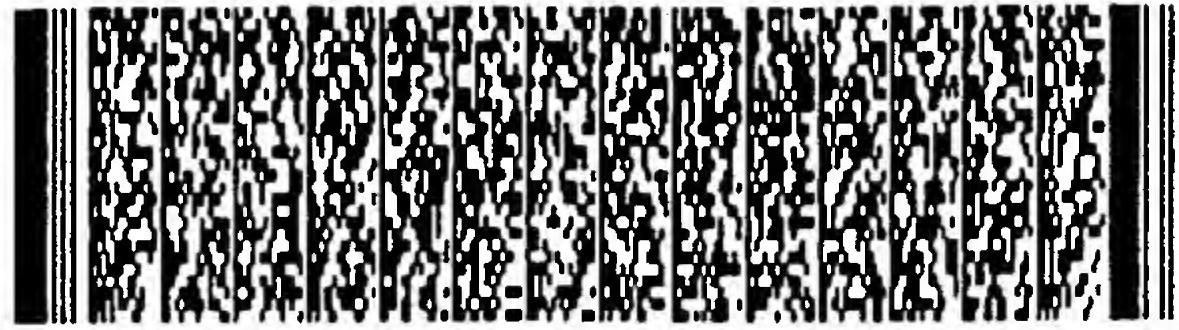
第 11/15 頁



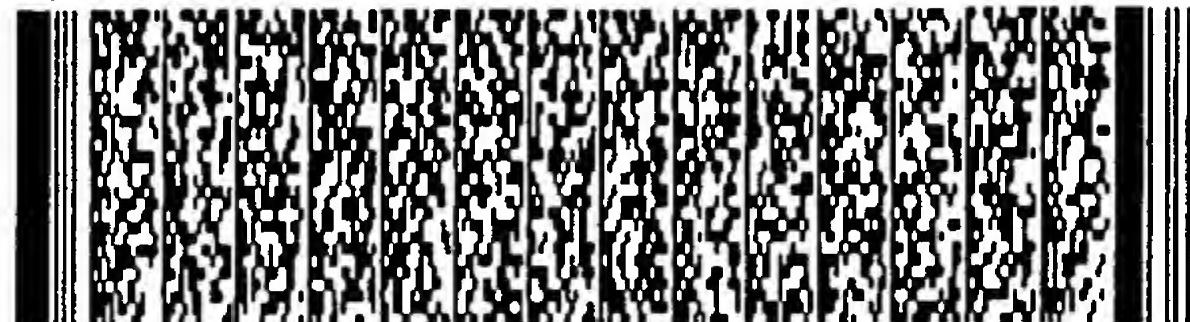
第 11/15 頁



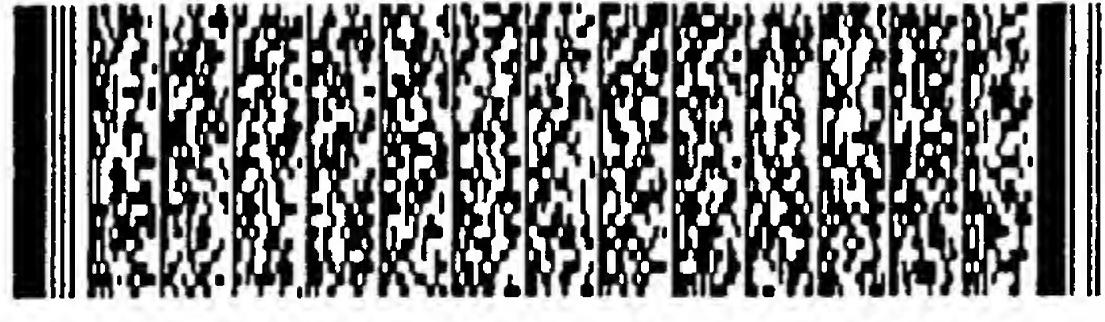
第 12/15 頁



第 12/15 頁



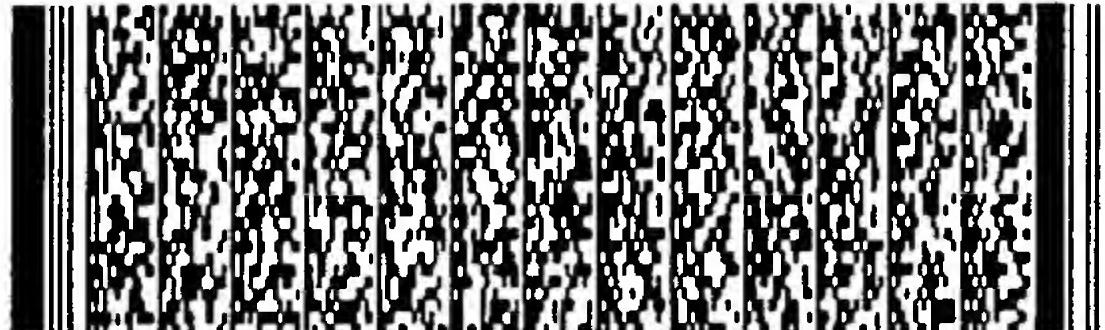
第 13/15 頁



第 14/15 頁



第 14/15 頁



第 15/15 頁

